



PTO/SB/02B (08-03)
Approved for use through 08/31/2003. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

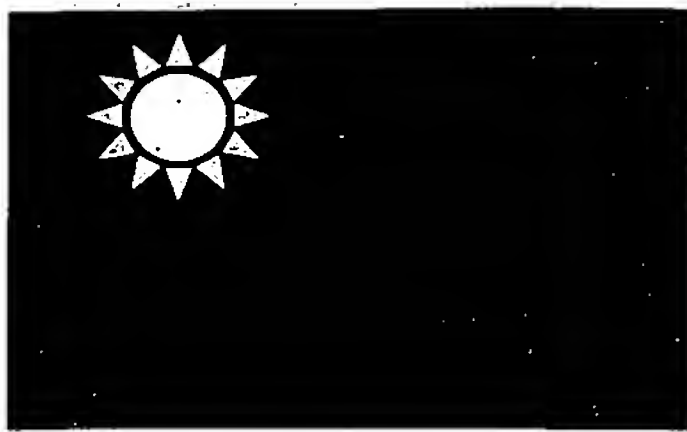
DECLARATION – Supplemental Priority Data Sheet

Foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
093112925	Taiwan R.O.C.	5/7/2004	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

This collection of information is required by 35 U.S.C. 115 and 37 CFR 1.63. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 21 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



DRO-001

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereund

申請日：西元 2004 年 05 月 07 日
Application Date

申請案號：093112925
Application No.

申請人：知億科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 8 月
Issue Date

發文字號：09320743900
Serial No.

CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：

※申請日期：

※IPC 分類：

壹、發明名稱：(中文/英文)

積體電路設計系統 /

INTEGRATED CIRCUIT DESIGN SYSTEM

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

知億科技股份有限公司 /

DORADO DESIGN AUTOMATION, INC.

代表人：(中文/英文)

忻建榮 / HSIN, CHIEN-JUNG

住居所或營業所地址：(中文/英文)

新竹市新竹市水利路八十一號八樓之二 / 8F-2, No. 81, Shui-Lee Rd.,

Hsin-Chu, Taiwan, R.O.C.

國 籍：(中文/英文) 中華民國/TWN

參、發明人：(共 3 人)

姓 名：(中文/英文)

1. 忻建榮 / HSIN, CHIEN-JUNG

2. 蕭俊傑 / HSIAO, JUN-JYEH

3. 李聲均 / LEE, SHENG-CHUN

住居所地址：(中文/英文)

1. 300 新竹市明湖路一二二九巷二十三號 / No. 23, Lane 1229,

Ming-Hu Rd., Hsin-Chu 300, Taiwan, R.O.C.

2. 300 新竹市大學路七0號九樓之二 / 9F-2, No. 70, Da-Hsue Rd.,

Hsin-Chu 300, Taiwan, R.O.C.

3. 335 桃園縣大溪鎮康安里四鄰內柵路一段六0巷十八號 / No. 18,
Lane 60, Sec. 1, Nei-Cha Rd., Community 4, Kan-An Li, Da-Si
Town, Tao-Yuan Hsien 335 , Taiwan, R.O.C.

國 籍：(中文/英文)

1. 中華民國 / TWN
2. 中華民國 / TWN
3. 中華民國 / TWN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

伍、中文發明摘要：

本發明係提供一種積體電路設計系統，其包含一第一介面、一第二介面及一邏輯單元。該第二介面係用來依據不同的顯示指令分別顯示對應於一特定積體電路之複數個描述資訊；該第一介面係用來輸入顯示指令及用來更新該第二介面依據該顯示指令所顯示之描述資訊；而該邏輯單元則係用來依據一更新後之描述資訊更新該特定積體電路所對應之複數個描述資訊中其餘描述資訊。

陸、英文發明摘要：

An integrated circuit design system has a second interface for displaying a plurality of description instructions corresponding to a specific integrated circuit according to a variety of display instructions, a first interface for inputting the display instructions and for updating a description instruction displayed on the second interface according to a display instruction input to the second interface, and a logic unit for updating remaining description instructions of the plurality of description instructions according to an updated description instruction updated by the first interface.

柒、指定代表圖：

(一)本案指定代表圖為：第（ 四 ）圖。

(二)本代表圖之元件代表符號簡單說明：

20	積體電路設計系統	22	第一介面
24	邏輯單元	26	第二介面
32	雜訊分析視窗	34	電路描述檔視窗
36	實體電路視窗	38	時序寬限資訊視窗

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

玖、發明說明：

【發明所屬之技術領域】

本發明相關於一種積體電路，尤指一種用來於一積體電路晶片中設計一特定積體電路之積體電路設計系統。

【先前技術】

隨著電子科技的快速發展，許多複雜的電路皆可被整合至一積體電路晶片中，以節省該電路及該電路所在之電子裝置之體積，而各種積體電路設計系統也就因此應運而生了。

習知一積體電路設計系統設計一特定積體電路(ASIC)之方法100 略述如下：請參閱圖一，圖一為方法100之流程圖，方法100包含下列步驟：

步驟102：開始；

步驟104：邏輯設計暨合成(logic design & synthesis)；

(邏輯設計人員(logic designer)於該積體電路設計系統中輸入相關於該特定積體電路之硬體描述語言(hardware description language, HDL)以形成一第一電路描述檔(netlist)，並將該第一電路描述檔及對應於該特定積體電路之時序規格(timing constraint)傳給實體設計人員(physical designer))

步驟106：配置暨繞線(placement & routing)；

(實體設計人員依據邏輯設計人員所傳來之第一電路描述檔及時序規格於一積體電路晶片中執行配置(placement)及繞線(routing)、時序樹狀電路合成(clock tree synthesis)、時序最佳化(timing optimization)、及元件暨導線延遲參數粹取(cell and wire delay extraction)等

程序，以將該第一電路描述檔更新成一第二電路描述檔，並將該第二電路描述檔及一標準延遲格式(standard delay format, SDF)之元件暨導線延遲參數(cell and wire delay)回傳給邏輯設計人員)

步驟 108： 時序分析與功能驗證(timing analysis and functional verification)，若皆正確無誤，則進行步驟 190，否則，進行步驟 110；

(邏輯設計人員檢視該 SDF 及該第二電路描述檔，並據以判定該第二電路描述檔是否違反該時序規格及該特定積體電路所應具有之功能)

步驟 110： 更新電路描述檔，進行步驟 106；

(步驟進行至此，代表實體設計人員所回傳之第二電路描述檔中尚有時序或功能上之錯誤，此時，邏輯設計人員便需適度地藉由更新該第二電路描述檔，以解決呈現於時序分析與功能驗證上之錯誤，並將更新後之第二電路描述檔再次地傳給實體設計人員，以再次地執行修改配置暨繞線(engineering change order, ECO))等程序

步驟 190： 結束。

如上所述，在習知積體電路設計系統中，該電路描述檔必需來來回回地更新於邏輯設計人員與實體設計人員之間(如圖一中所示之第 N 電路描述檔(N_{th} Netlist))，直到呈現於時序及功能上之問題皆被解決為止。

【發明內容】

因此本發明之主要目的在於提供一種積體電路設計系統，以解決習知技術之缺點。

根據本發明之申請專利範圍，本發明係揭露一種積體電路設計系統，其包含一第一介面、一第二介面及一邏輯單元。該第二介面係用來依據不同的顯示指令分別顯示對應於一特定積體電路之複數個描述資訊；該第一介面係用來輸入顯示指令及用來更新該第二介面依據該顯示指令所顯示之描述資訊；而該邏輯單元則係用來依據一更新後之描述資訊更新該特定積體電路所對應之複數個描述資訊中其餘描述資訊。

【實施方式】

請參閱圖二，圖二為本發明之較佳實施例中一積體電路晶片 10 之示意圖，積體電路晶片 10 包含一半導體基板 12、複數個設置於半導體基板 12 上之基本元件(cell)14、及複數條用來連接基本元件 14 之連接導線(interconnect)18。

一般而言，在設計一特定積體電路 50 之過程中，複數個位於積體電路晶片 10 內同一處之基本元件 14 可形成一具有特定功能之巨集元件(macro cell)。請參閱圖三，圖三為於圖二所顯示之積體電路晶片 10 中特定積體電路 50 之示意圖。特定積體電路 50 中包含複數個基本元件 14、複數條連接導線 18、以及複數個分別包含複數個基本元件 14 之巨集元件：一時脈產生器 52、二動態隨機存取記憶體(DRAM)54、一唯讀記憶體(ROM)56、一中央處理器 58 及一輸入輸出單元 60。

請參閱圖四，圖四為本發明之較佳實施例中一積體電路設計系統 20 之示意圖。系統 20 包含一第一介面 22、一邏輯單元 24 及一第二介面 26，邏輯單元 24 係電連接於第一介面 22 及第二介面 26 之間。

第一介面 22 係用來輸入顯示指令及用來更新一電路描述檔、與雜訊分析 (noise analysis) 報告、功率分析(power analysis) 報告、時序寬限報告(timing slack report)等報告中相關於特定積體電路 50 之資訊。

邏輯單元 24 係用來依據更新於第一介面 22 之各種資訊於積體電路晶片 10 中執行配置暨繞線、時序樹狀電路合成、時序最佳化、及元件暨導線延遲參數粹取(cell and wire delay extraction)等程序，並據以產生更新後之電路描述檔、元件暨導線延遲參數、雜訊分析報告(noise analysis report)、功率分析報告(power analysis report)、及時序寬限報告等。

舉例來說，若邏輯設計人員使用第一介面 22 更新特定積體電路 50 之電路描述檔，邏輯單元 24 便會依據該更新後之電路描述檔分別執行配置暨繞線、時序樹狀電路合成、時序最佳化、及元件暨導線延遲參數粹取等程序，並據以產生對應於更新後之電路描述檔之元件暨導線延遲參數、雜訊分析報告、功率分析報告、及時序寬限報告等各種相關於特定積體電路 50 之資訊。又例如說，若邏輯設計人員使用第一介面 22 更新特定積體電路 50 之時序寬限報告中的電路元件資訊，邏輯單元 24 便會依據該更新後之電路元件資訊分別產生對應於更新後電路資訊之元件暨導線延遲參數、雜訊分析報告、功率分析報告、時序寬限報告、及電路描述檔。等效上，本發明之積體電路設計系統 20 係將特定積體電路 50 轉化成一核心資訊庫(core database)，其內包含各種上述之資訊，該核心資訊庫中任一資訊皆會因其它資訊之更新而連動地改變。

該核心資訊庫中時序寬限報告之寬限時間資訊係包含複數個寬限時間，而該複數個寬限時間中任一寬限時間 S_s 係等於一穩定

需求時間 R_s (required time)減去一到達時間 A_s (arrival time)，其中穩定需求時間 R_s 係指對應於寬限時間 S_s 之訊號 S 必需於穩定需求時間 R_s 內達到穩定狀態，而到達時間 A_s 係指訊號 S 達到穩定狀態所需之時間。寬限時間 S_s 大於零代表訊號 S 在被其它電路利用時已達穩定狀態，舉例來說，訊號 S 在被一閘鎖器(latch)於一驅動時脈 CLK 之升緣(rising edge)所攫取(fetch)時已達穩定狀態；反之，寬限時間 S_s 小於零代表訊號 S 在被其它電路利用時尚未達穩定狀態，承上例，該閘鎖器很可能會因訊號 S 於該驅動時脈 CLK 之升緣時尚未達穩定狀態，而攫取到錯誤的訊號 S 。系統 20 之邏輯單元 24 計算該寬限時間資訊之實益係在於：邏輯設計人員可依據一寬限時間資訊經由第一介面 22 更新該電路描述檔，並馬上在同一電路設計系統中得到經由邏輯單元 24 所計算出來對應於該更新電路描述檔的寬限時間資訊，以提昇設計工作之效率，並使設計出來之特定積體電路 50 於運作時不會產生錯誤。

第二介面 26 則係用來依據輸入於第一介面 22 之顯示指令顯示對應於特定積體電路 50 之核心資訊庫中所包含之各種不同的資訊，亦即：電路描述檔、對應於特定積體電路 50 之更新後之電路描述檔、對應於該電路描述檔及該更新後之電路描述檔之配置及繞線、時序寬限報告、雜訊分析報告、以及功率分析報告等。

在本發明之較佳實施例中，第二介面 26 不需逐一顯示該時序寬限報告中所包含之所有寬限時間 S_s ，第二介面 26 僅需顯示邏輯單元 24 所計算之寬限時間資訊中具有負值之寬限時間 S_s ，換言之，第二介面 26 所顯示之時序寬限報告中僅需包含對應於尚未達穩定狀態而可能發生錯誤之訊號 S 之寬限時間 S_s ，以降低積體電路設計系統 20 之複雜度。

在本發明之較佳實施例中，第一介面 22 可為一鍵盤 22 或一滑

鼠 22，第二介面 26 可為一顯示幕 26；而上述之時序寬限報告及電路描述檔等資訊可以視窗之型式分別顯示於顯示幕 26 上。如圖四所示，一雜訊分析報告視窗 32、一電路描述檔視窗 34、一實體電路視窗 36 及一時序寬限報告視窗 38 分別顯示對應於特定積體電路 50 之雜訊分析報告、邏輯單元 24 所形成之對應於特定積體電路 50 之電路描述檔、積體電路晶片 10 中對應於該電路描述檔之配置及繞線、及邏輯單元 24 所產生之該電路描述檔所對應之僅包含具有負值之寬限時間 S_s 之時序寬限報告。

前已述及，對於習知積體電路設計系統而言，由於當邏輯設計人員依據實體設計人員所傳來之時序寬限資訊更新電路描述檔時，並無法在同一系統中參考所對應之實體電路資訊，也無法在電路描述檔更新之後馬上在同一系統中同時更新所對應之實體電路並且得知所對應之時序寬限問題是否已改善，因此，邏輯設計人員與實體設計人員必需來來回回地分別依據時序寬限資訊更新電路描述檔，或依據電路描述檔更新實體電路以及計算電路更新後的時序寬限資訊。

相反地，在本發明之系統 20 中，第一介面 22 可用來更新該核心資訊庫(等效上對應於特定積體電路 50)內所包含之任一資訊、邏輯單元 24 可依據該核心資訊庫中被更新之任一資訊，連動地更新其餘資訊、而顯示幕 26 可依據輸入於鍵盤 22 或滑鼠 22 之顯示指令同時於雜訊分析報告視窗 32、電路描述檔視窗 34、實體電路視窗 36 及時序寬限報告視窗 38 中顯示對應於特定積體電路 50 之雜訊分析報告、對應於特定積體電路 50 之電路描述檔、對應於特定積體電路 50 之佈局、及相關於特定積體電路 50 之電路描述檔所對應之時序寬限報告，如此一來，邏輯設計人員便可不再需要實體設計人員之幫助，而能隨意地藉由更新顯示幕 26 中任一視窗 32、34、36 及 38 內之電路元件資訊，以更新其餘視窗內所顯示之

資訊。

舉例來說，請參閱表格一，表格一中包含一顯示於時序寬限報告視窗 38 內之寬限時間資訊 TS。

表格一

		Incr	Path
clock	SYSCK266	0	0
	CGEN_A_PST/PST_ff_0/CK	0	0
	CGEN_A_PST/PST_ff_0/Q	0.54	0.54
	CGEN_A_PST/I_62/Y(NAND2x1)	0.18	0.72
	CGEN_A_PST/I_23/Y(BUFx4)	0.07	0.79
	CGEN_A_PST/I_42/Y(BUFx8)	0.06	0.85
	CGEN_A_PST/I_12/Y(AND2x1)	0.15	1.0
	CGEN_A_PST/PST_ff_1/D(SDFFRX1)	0	
	data arrival time		1.0
clock	SYSCLK266	5	5
	CGEN_A_PST/PST_ff_1/CK	0	5
	library setup time	-0.12	4.88
	data required time		4.88
	slack(TS)		3.88

寬限時間 TS 係等於穩定需求時間 Rs(required time)減去一到達時間 As(arrival time)。其中到達時間 As 等於一資料路徑上各元件延遲時間之總和。以這個例子來說就是

$0.54+0.18+0.07+0.06+0.15=1.0$ 。所以寬限時間 TS 等於

$4.88-1.0=3.88$ 。當邏輯設計人員於第一介面 22 更新特定積體電路

50 之電路描述檔後，邏輯單元 24 便會依據該更新後之電路描述檔更新對應於該更新後之電路描述檔之時序寬限報告，包括各元件之延遲時間、穩定需求時間 R_s 、到達時間 A_s 、以及寬限時間 T_s ，而邏輯設計人員便可於第一介面 22 輸入相應之顯示指令，以使第二介面 26 顯示時序寬限報告視窗 38，並於時序寬限報告視窗 38 內觀看到該更新後之電路描述檔所對應之更新後之時序寬限資訊。另一方面，邏輯設計人員也可藉由第一介面 22 於時序寬限報告視窗 38 內更新其中的電路元件資訊，例如在延遲時間(0.18)及延遲時間(0.07)所分別對應之資料路徑資訊(如延遲時間(0.18)所對應之 CGEN_A_PST/I_62/Y(NAND2x1)及延遲時間(0.07)所對應之 CGEN_A_PST/I_23/Y(BUFx4))間插入適當之元件如 BUFx2，以減少寬限時間 T_s ，邏輯單元 24 便會相應地依據該更新後之電路元件資訊修改該核心資訊庫(包含更新電路描述檔)，而邏輯設計人員便可於第一介面 22 輸入相應之顯示指令，以使第二介面 26 顯示電路描述檔視窗 34 及實體電路視窗 36，並於電路描述檔視窗 34 內觀看到該更新後之電路描述及在實體電路視窗 36 內執行對應於該更新電路之元件配置(placement)及繞線(routing)。

一般而言，邏輯單元 24 因配置暨繞線、時序樹狀電路合成、及時序最佳化等程序而產生之時序寬限報告通常內含相當多的資訊，為了能加快對時序寬限報告之修正速度，在本發明之較佳實施例中，邏輯單元 24 另可基於時序寬限報告的內容對該報告進行分類，以將一龐大的時序寬限報告進一步地分割成若干較小的時序寬限報告，如此一來，多個邏輯設計人員便可同時分頭修正該時序寬限資訊所隱含之特定積體電路 50 的設計錯誤。而邏輯單元 24 對於時序寬限報告的分類可以基於以下各種不同的原則，例如像是：以時序寬限報告中所對應的電路元件來分類，或以時序寬限報告中所對應的時脈(clock)來分類等。

在本發明之較佳實施例中，邏輯單元 24 不僅可用來計算一更新後之電路描述檔所對應之元件暨導線延遲參數、雜訊分析 (noise analysis) 報告、功率分析 (power analysis) 報告、及時序寬限 (timing slack) 報告等，邏輯單元 24 另可依據邏輯設計人員於上述之任一視窗內對於電路元件資訊所為之更新動作，對應地更新呈現於其餘視窗內之資訊。如前所述，邏輯設計人員更新時序寬限報告視窗 38 中所顯示之時序寬限資訊中之電路元件資訊，於此同時，邏輯單元 24 會依據邏輯設計人員於更新時序寬限資訊視窗 38 中對於該時序寬限資訊中之電路元件資訊所作之更新動作，更新電路描述檔及實體電路等，而電路描述檔視窗 34 及實體電路視窗 36 內之也會相應地顯示更新後之電路描述檔及實體電路。除此之外，由於電路已被更新，所以邏輯單元會進一步更新其餘視窗中的資訊如時序寬限報告、功率分析報告、與雜訊分析報告。換言之，使用本發明之系統 20 之邏輯設計人員可自由地點選任一視窗、例如電路描述檔視窗 34 或時序寬限報告視窗 38、並於該所點選之視窗上執行必要的電路更新動作，系統 20 之邏輯單元 24 會相應地依據於該點選之視窗上之更新動作，更新呈現於其餘視窗內之資訊。

一般而言，由於積體電路晶片 10 可包含百萬顆、甚至上千萬顆以上之基本元件 14，所以本發明之系統 20 並不特別顯示積體電路晶片 10 中所有的基本元件 14，取而代之的是，系統 20 可依據輸入於鍵盤 22 或滑鼠 22 之顯示指令，選擇性地僅將該顯示指令所對應之電路描述檔(以滑鼠 22 於電路描述檔視窗 34 中點選該電路描述檔中一電路描述指令)、或寬限時間 S_s 所分別相關之積體電路晶片 10 中之配置及繞線(亦即該電路描述檔於積體電路晶片 10 中所對應之基本元件 14 及連接導線 18)顯示於顯示幕 26 上。

舉例來說，當邏輯設計人員使用滑鼠 22 於電路描述檔視窗 34

中點選該電路描述檔中一電路描述指令、該實體電路中一基本元件 14 或該時序寬限報告中一寬限時間 S_s 所對應之電路元件資訊以產生一顯示指令後，系統 20 會依據該顯示指令將該電路描述檔中該電路描述指令、該實體電路中基本元件 14、或該時序寬限資訊中該寬限時間 S_s 所對應之電路元件資訊於積體電路晶片 10 中所對應之基本元件 14 及連接導線 18 特別顯示(highlight)於顯示幕 26 上。不僅如此，系統 20 另可將積體電路晶片 10 中鄰接於前述特別顯示之基本元件 14 之間置元件 28 一併顯示於顯示幕 26 上，間置元件 28 即為積體電路晶片 10 中未被利用之基本元件 14。如此一來，使用本發明之積體電路設計系統 20 之邏輯設計人員便可參酌顯示於顯示幕 26 上之基本元件 14、連接導線 18 及間置元件 28，輕易地更新該電路描述檔，以修正該時序寬限資訊所隱含之特定積體電路 50 的設計錯誤。

請參閱圖五，圖五為圖三中所顯示之虛線範圍內之基本元件 14 於圖四所顯示之實體電路視窗 36 之放大圖。前已述及，當邏輯設計人員使用滑鼠 22 點選該時序寬限資訊中所包含之寬限時間 S_s 所對應之電路元件資訊以形成一顯示指令後，系統 20 會將相關於該寬限時間 S_s 所對應之電路元件資訊之積體電路晶片 10 中之基本元件 14 及連接導線 18 顯示於顯示幕 26 上。如圖五所示，邏輯設計人員所點選之具有負值之寬限時間 S_s 所對應之電路元件資訊係對應於基本元件 A_{31} 以及經由連接導線 L_1 連接至基本元件 A_{31} 之基本元件 A_{46} ，具體言之，訊號 S 於必需被基本元件 A_{46} 輸出至輸入輸出單元 60 時，尚未達穩定狀態。在本發明之較佳實施例中，顯示幕 26 上依據該顯示指令除了顯示基本元件 A_{31} 、連接導線 L_1 (以虛線表示之)、及基本元件 A_{46} 外，另顯示了鄰接於基本元件 A_{31} 及基本元件 A_{46} 之間置元件 28，例如像是間置元件 A_{24} ，如此一來，邏輯設計人員便可直接於實體電路視窗 36 內執行更新動作，將基本元件 A_{31} 重新經由連接導線 L_2 、基本元件 A_{23} 、連接導

線 L_3 、基本元件 A_{24} 、及連接導線 L_4 連接至基本元件 A_{46} ，以使寬限時間 S_s 轉為正值，並確保特定積體電路 50 於運作時不會發生錯誤。當然，如前所述，在邏輯設計人員更新該電體電路後，該核心資訊庫也相應地會被更新，而該核心資訊庫內所包含之電路描述檔及時序寬限資訊、雜訊分析資訊、與功率分析資訊等也會連動地被更新。

為了增加設計積體電路之便利性，在本發明之系統 20 中，顯示幕 26 係依據基本元件 14 於特定積體電路 50 中所具有之功能而顯示對應於該功能之圖案。如圖五所示，分別具有門鎖功能、反相功能、及緩衝功能(buffer)之基本元件 A_{52} 、 A_{64} 、及 A_{52} 係分別以一門鎖器、一反相器、及一緩衝器之圖案顯示於顯示幕 26 中之實體電路視窗 36 內。

相較於習知技術，本發明之積體電路設計系統容許邏輯設計人員於依據時序寬限資訊或功能驗證而更新電路描述檔的同時，便能取得該電路描述檔所對應之關於特定積體電路 50 於積體電路晶片 10 中各種不同資訊，例如像是配置及繞線之佈局資訊及更新後之時序寬限資訊等，以節省更新電路描述檔之時間，並進而增加設計特定積體電路 50 之效率。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。

【圖式簡單說明】

圖式之簡單說明

圖一為習知一積體電路設計系統設計一特定積體電路之方法之流程圖。

圖二為本發明之較佳實施例中一積體電路晶片之示意圖。

圖三為於圖二所顯示之積體電路晶片中一特定積體電路之示意圖。

圖四為本發明之較佳實施例中一積體電路設計系統之示意圖。

圖五為圖三中所顯示之虛線範圍內之基本元件於圖四所顯示之實體電路視窗之放大圖。

圖式之符號說明

10	積體電路晶片	12	半導體基板
14	基本元件		
18	連接導線	20	積體電路設計系統
22	第一介面	24	邏輯單元
26	第二介面	28	閒置元件
32	雜訊分析視窗	34	電路描述檔視窗
36	實體電路視窗	38	時序寬限資訊視窗
50	特定積體電路	52	時脈產生器
54	動態隨機存取記憶體	56	唯讀記憶體
58	中央處理器	60	輸入輸出單元

拾、申請專利範圍：

1. 一種積體電路設計系統，其包含：
一第二介面，用來依據不同的顯示指令分別顯示對應於一特定積體電路之複數個描述資訊；
一第一介面，用來輸入該顯示指令及用來更新該第二介面依據該顯示指令所顯示之描述資訊；以及
一邏輯單元，用來依據該第一介面所更新後之描述資訊更新該特定積體電路所對應之複數個描述資訊中其餘描述資訊。
2. 如申請專利範圍第 1 項所述之積體電路設計系統，其中該複數個描述資訊包含一時序寬限 (timing slack) 報告。
3. 如申請專利範圍第 1 項所述之積體電路設計系統，其中該複數個描述資訊包含一電路描述檔(netlist)。
4. 如申請專利範圍第 1 項所述之積體電路設計系統，其中該複數個描述資訊包含一雜訊分析(noise analysis)報告。
5. 如申請專利範圍第 1 項所述之積體電路設計系統，其中該複數個描述資訊包含一功率分析(power analysis)報告。
6. 如申請專利範圍第 3 項所述之積體電路設計系統，其中該邏輯單元另可用來計算該更新後之電路描述檔所對應之雜訊分析報告。
7. 如申請專利範圍第 3 項所述之積體電路設計系統，其中該邏輯單元另可用來計算該更新後之電路描述檔所對應之功率分析報告。

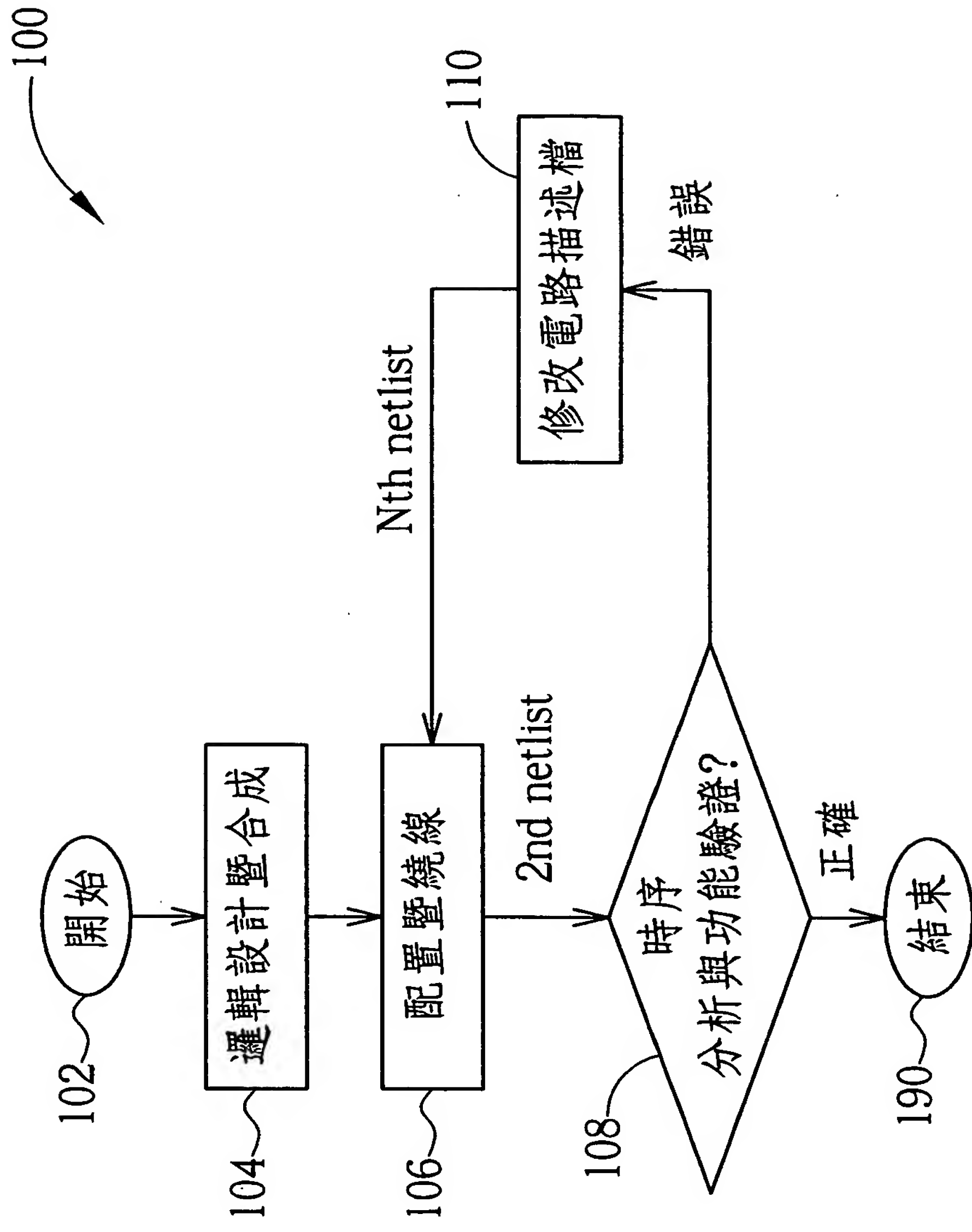
8. 如申請專利範圍第 3 項所述之積體電路設計系統，其中該邏輯單元另可用來計算該更新後之電路描述檔所對應之時序寬限報告。
9. 如申請專利範圍第 1 項所述之積體電路設計系統，其中該邏輯單元另可用來執行時序樹狀電路合成(clock tree synthesis)。
10. 如申請專利範圍第 1 項所述之積體電路設計系統，其中該邏輯單元另可用來執行時序最佳化(timing optimization)。
11. 如申請專利範圍第 1 項所述之積體電路設計系統，其中該邏輯單元另可用來執行元件暨導線延遲參數粹取(cell and wire delay extraction)，並據以產生一標準延遲格式(standard delay format, SDF)之元件暨導線延遲參數(cell and wire delay)。
12. 如申請專利範圍第 1 項所述之積體電路設計系統，其中該第二介面可依據輸入於該第一介面之顯示指令顯示該特定積體電路晶片中之基本元件(cell)及連接於該基本元件間之連接導線(interconnect)。
13. 如申請專利範圍第 12 項所述之積體電路設計系統，其中該第二介面依據輸入於該第一介面之顯示指令顯示該特定積體電路晶片中之基本元件及該連接導線時，另可顯示鄰接於該基本元件之閒置元件(spare cell)。
14. 如申請專利範圍第 12 項所述之積體電路設計系統，其中該第

二介面係依據該基本元件於該特定積體電路中所具有之功能而顯示其所對應於該功能之圖案。

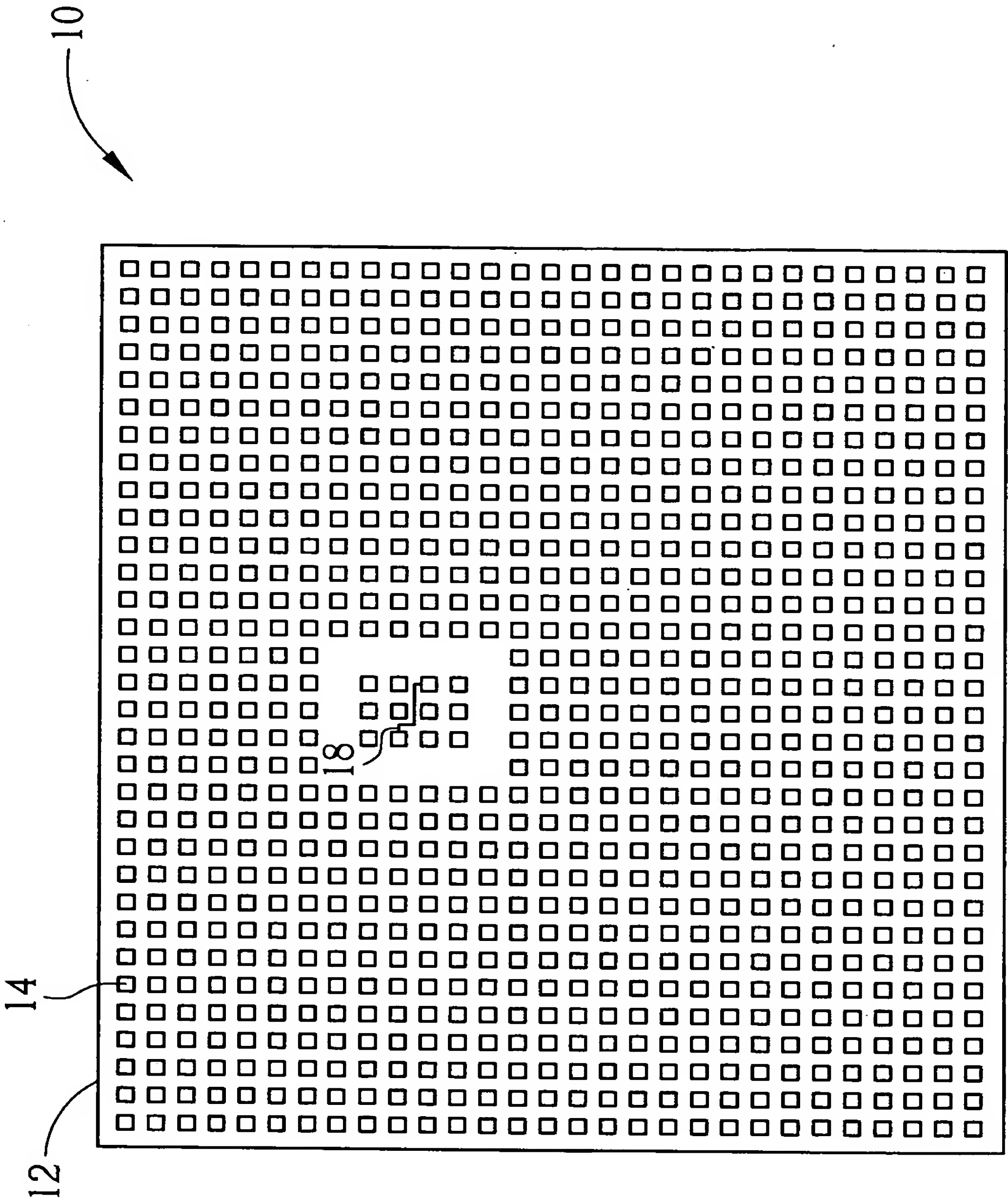
15. 如申請專利範圍第 2 項所述之積體電路設計系統，其中該邏輯單元另可將該時序寬限報告進一步地分割成複數個較小之時序寬限報告。
16. 如申請專利範圍第 15 項所述之積體電路設計系統，其中該邏輯單元係依據該時序寬限報告中所對應的電路元件，將該時序寬限報告進一步地分割成複數個較小之時序寬限報告。
17. 如申請專利範圍第 15 項所述之積體電路設計系統，其中該邏輯單元係依據時序寬限報告中所對應的時脈(clock)，將該時序寬限報告進一步地分割成複數個較小之時序寬限報告。

拾壹、圖式：

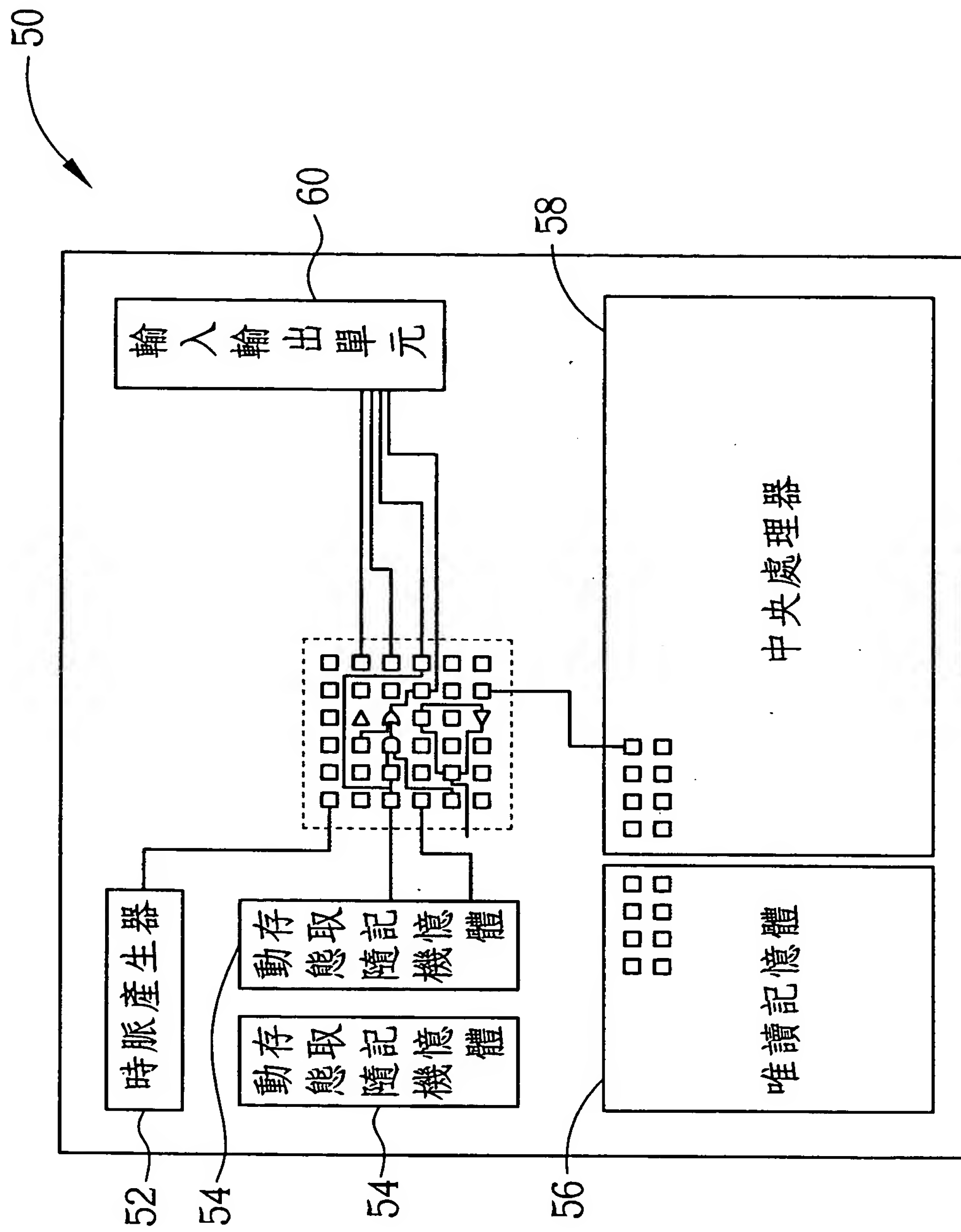




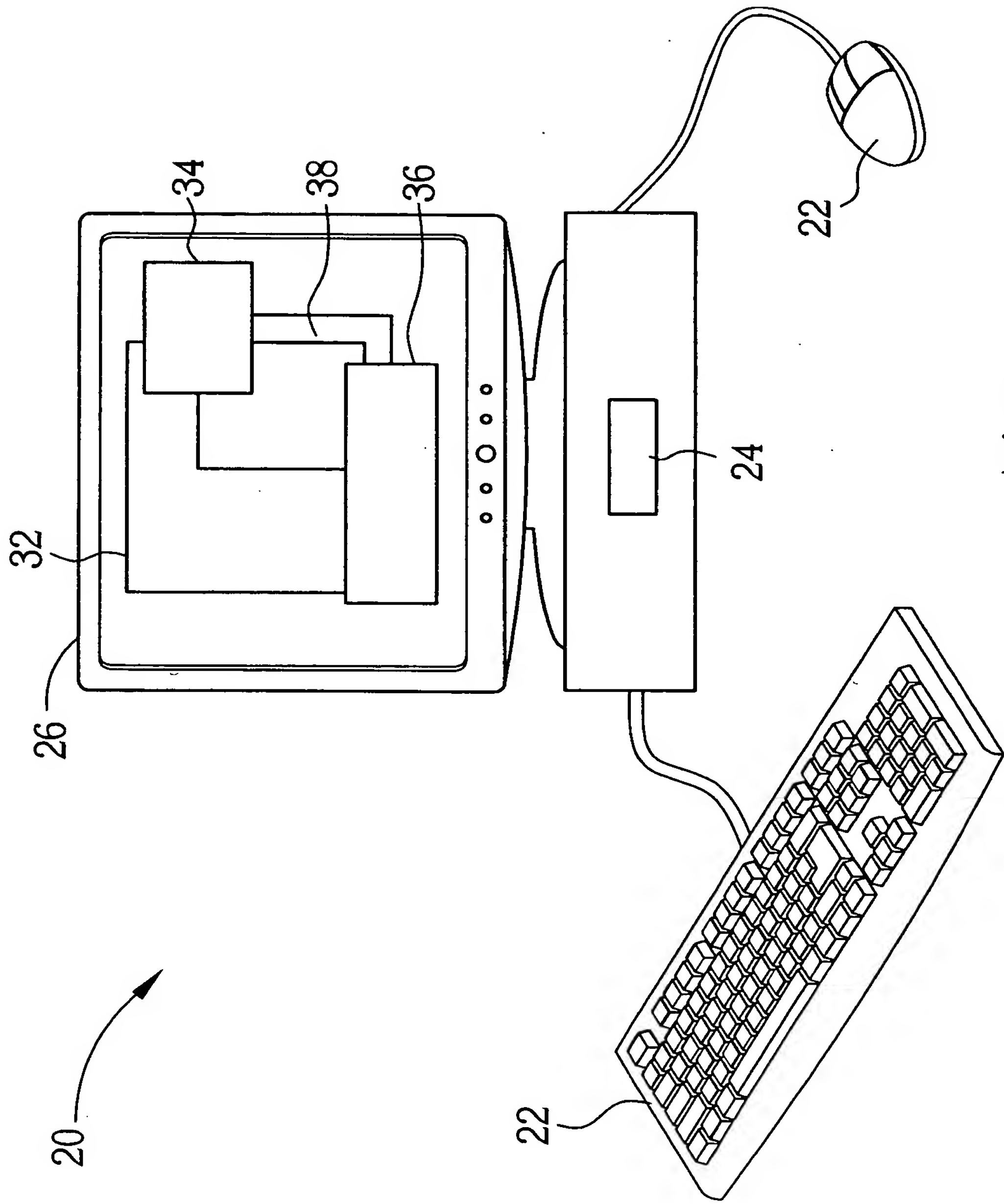
圖一



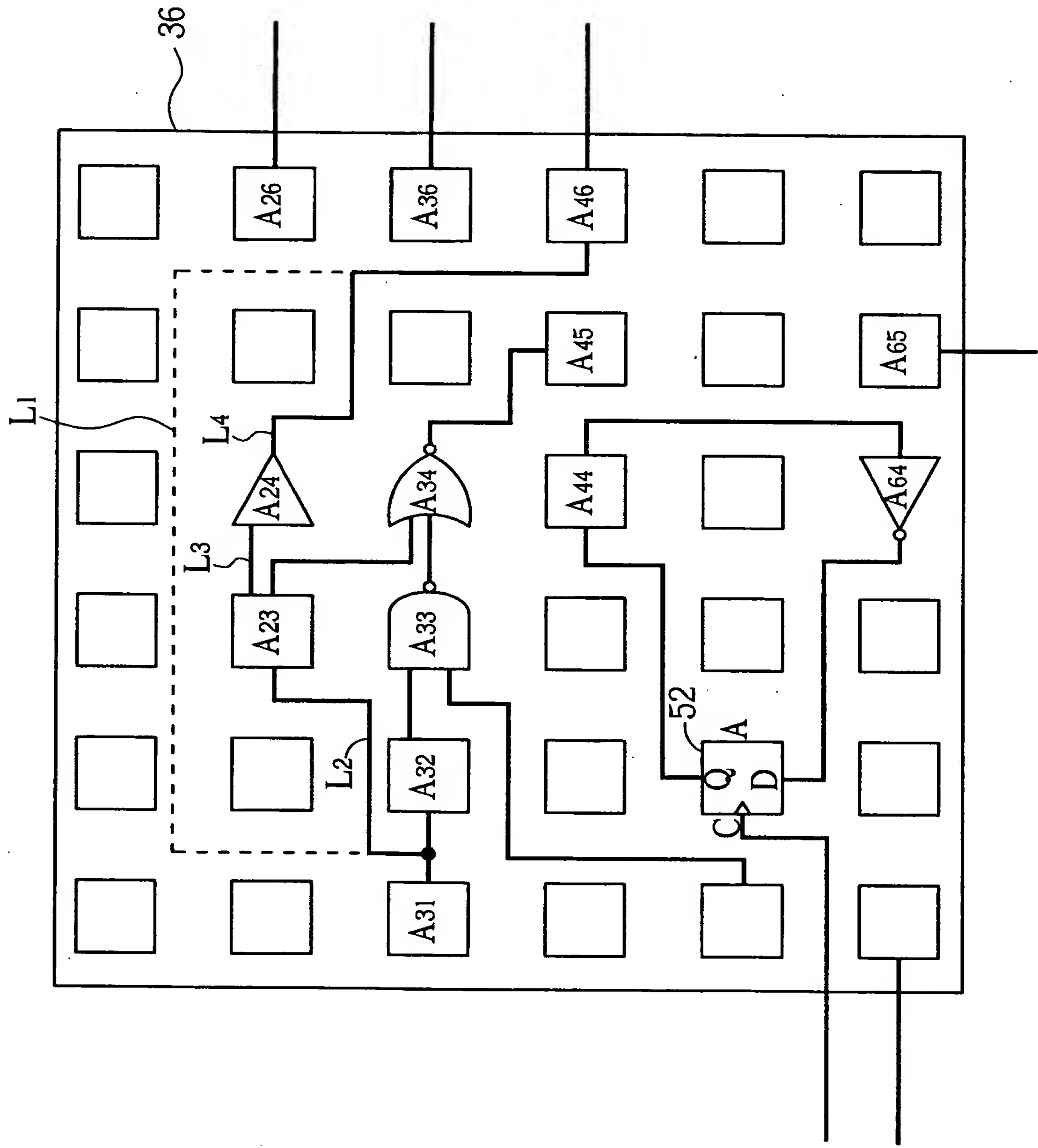
11



圖三



圖四



圖五